

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年10月29日

出 願 番 号

Application Number:

特願2002-314052

[ST.10/C]:

[JP2002-314052]

出 願 人

Applicant(s):

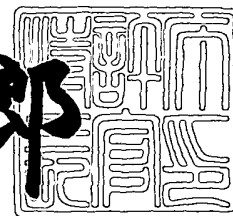
沖電気工業株式会社

宮城沖電気株式会社

2003年 4月 8日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3024387

【書類名】 特許願

【整理番号】 OH003781

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/76

【発明者】

 【住所又は居所】 宮城県黒川郡大衡村沖の平 1 番 宮城沖電気株式会社内

 【氏名】 水越 俊和

【特許出願人】

 【識別番号】 000000295

 【氏名又は名称】 沖電気工業株式会社

【特許出願人】

 【識別番号】 591048162

 【氏名又は名称】 宮城沖電気株式会社

【代理人】

 【識別番号】 100085419

 【弁理士】

 【氏名又は名称】 大垣 孝

【手数料の表示】

 【予納台帳番号】 012715

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9001068

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 半導体基板上に第 1 絶縁膜及び第 2 絶縁膜を順次に形成した後、前記第 2 絶縁膜上に、該第 2 絶縁膜のうち前記半導体基板に形成されるトレンチに対応する表面領域を露出させるように、トレンチ形成用マスクをパターンニングして形成するマスク形成工程と、

前記トレンチ形成用マスクを用いて、露出している前記第 2 絶縁膜の表面領域から前記半導体基板の深さ方向の一部分に亘ってまでエッチングして、前記半導体基板に前記トレンチを形成するトレンチ形成工程と、

前記トレンチ形成用マスクを除去した後、前記トレンチ内が充填されかつ前記第 2 絶縁膜が覆われる高さとなるように第 3 絶縁膜を堆積させる堆積工程と、

前記堆積工程の後であって、前記トレンチのコーナー部の前記半導体基板を熱酸化して、第 2 酸化膜を形成する第 2 酸化膜形成工程と、

前記第 2 絶縁膜を露出させるように、前記第 3 絶縁膜を研磨して平坦化を行う平坦化工程と、

前記第 2 絶縁膜及び第 1 絶縁膜を除去するとともに、前記第 3 絶縁膜を、該第 3 絶縁膜の一部が前記トレンチ内に残存するようにエッチングして素子分離部を形成する素子分離部形成工程と

を含むことを特徴とする半導体装置の製造方法。

【請求項 2】 請求項 1 に記載の半導体装置の製造方法において、前記トレンチ形成工程の後であって前記堆積工程の前に、前記トレンチの内壁を熱酸化して該内壁に第 1 酸化膜を形成する第 1 酸化膜形成工程を行うことを特徴とする半導体装置の製造方法。

【請求項 3】 請求項 1 または 2 に記載の半導体装置の製造方法において、前記平坦化工程を、前記第 2 酸化膜形成工程の前に行うことを特徴とする半導体装置の製造方法。

【請求項 4】 請求項 1 ないし 3 のいずれか一項に記載の半導体装置の製造方法において、前記第 3 絶縁膜をシリコン酸化膜とすることを特徴とする半導体

装置の製造方法。

【請求項 5】 請求項 4 に記載の半導体装置の製造方法において、前記シリコン酸化膜を HDP-CVD 法によって形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体装置、特に素子分離領域を具える半導体装置の製造方法に関する。

【0002】

【従来の技術】

近年、半導体基板上の素子同士を互いに分離する素子分離技術として、半導体基板を選択的に酸化して行う LOCOS (Local Oxidation Silicon) 法に代わり、STI (Shallow Trench Isolation) 法が注目されている (例えば、非特許文献 1 参照)。

【0003】

STI 法とは、半導体基板にトレンチ (溝) を形成し、当該トレンチの内部に絶縁膜を充填して素子分離を実現する方法である。そして、この STI 法によれば、半導体基板の深くまで分離領域を形成できるので、LOCOS 法よりも分離幅を縮小することができる。

【0004】

このため、STI 法は、近年の半導体集積回路の微細化に伴う分離領域の微細化の要求に対応できる素子分離技術として、大いに期待されている。

【0005】

【非特許文献 1】

月刊 Semiconductor World 1991 3月号 p. 128-131

【0006】

【発明が解決しようとする課題】

上述したような従来のSTI法では、トレンチに絶縁膜を充填する前に、コーナー部の半導体基板の表面を丸めることを主目的として、当該トレンチの内壁に熱酸化膜を形成する工程が含まれている。

【0007】

しかしこのとき、半導体基板材料が酸化物に体積膨張するのに起因して、トレンチのコーナー部において膜ストレス（或いは応力集中）が発生する。

【0008】

こうしたコーナー部での膜ストレスの発生により、コーナー部での酸化速度は、当該コーナー部以外の領域での酸化速度よりも低下する。

【0009】

その結果、コーナー部に形成される酸化膜は、コーナー部以外の領域に形成される酸化膜よりも薄膜化されると同時に、コーナー部の半導体基板の形状は丸まらずに尖形状となってしまう。

【0010】

そのため、トレンチのコーナー部に電界が集中してしまい、この部分にメイントランジスタの閾値電圧よりも低い閾値電圧を有する、寄生トランジスタ（或いは、エッジトランジスタ）が形成される。

【0011】

その結果、こうした寄生トランジスタの形成に伴い、メイントランジスタの待機時におけるリーク電流（オフリーク電流）が増大する等といった、トランジスタの特性変動が引き起こされる。

【0012】

そこで、この発明は上記問題点に鑑みなされたものであり、その目的は、閾値電圧の低い寄生トランジスタの発生を抑制してオフリーク電流の増大を防止することにより、高信頼性な素子分離が実現された半導体装置の製造方法を提供することにある。

【0013】

【課題を解決するための手段】

そこで、この発明の半導体装置の製造は、下記のようにして行う。

【 0 0 1 4 】

すなわち、この方法では、半導体基板上に第 1 絶縁膜及び第 2 絶縁膜を順次に形成した後、第 2 絶縁膜上に、当該第 2 絶縁膜のうち半導体基板に形成されるトレンチに対応する表面領域を露出させるように、トレンチ形成用マスクをパターンニングして形成するマスク形成工程と、トレンチ形成用マスクを用いて、露出している第 2 絶縁膜の表面領域から半導体基板の深さ方向の一部分に亘ってまでエッチングして、半導体基板にトレンチを形成するトレンチ形成工程と、トレンチ形成用マスクを除去した後、トレンチ内が充填されかつ第 2 絶縁膜が覆われる高さとなるように第 3 絶縁膜を堆積させる堆積工程と、堆積工程の後であって、トレンチのコーナー部の半導体基板を熱酸化して第 2 酸化膜を形成する第 2 酸化膜形成工程と、第 2 絶縁膜を露出させるように、第 3 絶縁膜を研磨して平坦化を行う平坦化工程と、第 1 絶縁膜及び第 2 絶縁膜を除去するとともに、第 3 絶縁膜を、当該第 3 絶縁膜の一部がトレンチ内に残存するようにエッチングして素子分離部を形成する素子分離部形成工程とを含んでいる。

【 0 0 1 5 】

この構成によれば、トレンチのコーナー部の半導体基板を、高温下でかつトレンチを充填している第 3 絶縁膜中に酸素を拡散させて酸化させることにより、当該コーナー部のシリコン基板を丸まった形状にすることができる。

【 0 0 1 6 】

従って、トレンチのコーナー部への電界集中を抑制できるので、従来よりもオフリーク電流を低減することができ、よって、高信頼性な素子分離が実現された半導体装置となる。

【 0 0 1 7 】

【発明の実施の形態】

以下、図 1 から図 6 を参照して、この発明の実施の形態につき説明する。尚、各図は、この発明に係る半導体装置の製造方法の一構成例を断面の切り口で示す工程図である。また、各図は、この発明が理解できる程度に各構成成分の形状、大きさ及び配置関係を概略的に示してあるに過ぎず、この発明をこれら図示例に限定するものではない。また、図を分かり易くするために、断面を示すハッチン

グ（斜線）は一部分を除き省略してある。また、以下の説明において、特定の材料及び条件等を用いることがあるが、これら材料及び条件は好適例の一つに過ぎず、従って、何らこれらに限定されない。また、各図において同様の構成成分については同一の番号を付して示し、その重複する説明を省略することもある。

【 0 0 1 8 】

また、以下の各実施の形態では、この発明に係る半導体装置の製造方法として、例えば、基板上に形成されるMOSFET (Metal Oxide Semiconductor FET) 同士を分離する素子分離部の製造方法を例に挙げて説明する。

【 0 0 1 9 】

<第1の実施の形態>

図1から図3を参照して、この発明の第1の実施の形態に係る半導体装置の製造方法につき説明する。

【 0 0 2 0 】

まず、マスク形成工程として、半導体基板上に、第1絶縁膜及び第2絶縁膜を順次に形成する。その後、この第2絶縁膜上に、当該第2絶縁膜のうち半導体基板に形成されるトレンチに対応する表面領域を露出させるように、トレンチ形成用マスクをパターニング形成する。

【 0 0 2 1 】

図1 (A) に示すように、シリコン基板10上に、第1絶縁膜としてのシリコン酸化膜 (SiO_2) 12を、例えば、最低でも900℃の温度で、ドライ酸素による熱酸化法、すなわち高温ドライ酸化法を用いて15nmの膜厚で形成する。

【 0 0 2 2 】

その後、シリコン酸化膜12上に、第2絶縁膜としてのシリコン窒化膜 (SiN) 14を、例えば、生成温度を700℃とし、またジクロロシラン (SiH_2Cl_2) ガスを主体ガスとするLP-CVD (Low Pressure-Chemical Vapor Deposition) 法を用いて、200nmの膜厚で形成する。ここでのシリコン酸化膜12は、シリコン基板10とシリコ

ン窒化膜 1 4 との間の応力を緩和させる働きがある。また、シリコン窒化膜 1 4 は、後工程での平坦化工程におけるストッパ膜として機能する。

【 0 0 2 3 】

その後、シリコン窒化膜 1 4 上全面に、レジスト膜を C V D 法を用いて膜厚 2 0 0 n m で形成した後（不図示）、レジスト膜に対してホトリソグラフィ工程を行い、シリコン基板 1 0 のトレンチ形成用マスク 1 6 にパターニングする。

【 0 0 2 4 】

次に、トレンチ形成工程として、トレンチ形成用マスク 1 6 を用いてエッチングを行い、半導体基板 1 0 にトレンチ 1 8 を形成する。このとき、トレンチ 1 8 を、露出している第 2 絶縁膜 1 4 の表面領域から半導体基板 1 0 の深さ方向の一部分に亘って、異方性エッチングにより掘り下げて形成する。

【 0 0 2 5 】

図 1 （ B ）に示すように、このエッチングとして、先ず、 C F 系ガスを主体としたガスを用いて、シリコン窒化膜 1 4 及びシリコン酸化膜 1 2 をエッチングする。その後、ハロゲン系ガスを主体としたガスを用いて、シリコン基板 1 0 をエッチングする。

【 0 0 2 6 】

こうして、シリコン基板 1 0 に凹凸を形成して、深さ 5 0 0 n m 程度の凹部であるトレンチ（溝） 1 8 を形成する。トレンチ 1 8 を形成した後、トレンチ形成用マスク 1 6 を除去する。

【 0 0 2 7 】

次に、第 1 酸化膜形成工程として、トレンチ 1 8 の内壁を熱酸化して第 1 酸化膜を形成する。

【 0 0 2 8 】

図 1 （ C ）に示すように、第 1 酸化膜としてのシリコン酸化膜 2 0 を、例えば、最低でも 8 0 0 ℃ の温度で、ドライ酸素による熱酸化法を用いて、 3 0 n m の膜厚で形成する。

【 0 0 2 9 】

これにより、トレンチ 1 8 の内壁、すなわち底部 1 8 a 、側壁部 1 8 b 及びコ

ーナー部としての第1コーナー部18c上に、熱酸化膜であるシリコン酸化膜20が形成される。このシリコン酸化膜20は、主にメイントランジスタのpn接合リーク電流を抑制する保護膜として機能するため設けておくことが好ましい。

【0030】

このとき第1コーナー部18c上に形成されるシリコン酸化膜20は、既に説明したように酸化膜への体積膨張に伴う膜ストレスに起因して、底部18aや側壁部18bより薄膜となっている。また、第1コーナー部18cのシリコン基板10の形状は、尖形状である。

【0031】

次に、堆積工程として、トレンチ形成用マスク16を除去した後、トレンチ18内が充填されかつ第2絶縁膜14が覆われる高さとなるように第3絶縁膜22を堆積させる。

【0032】

図2(A)に示すように、例えば、HDP-CVD(High Density Plasma-CVD)法によって、第3絶縁膜としてのシリコン酸化膜22を550nmの膜厚で堆積させ、トレンチ18内にシリコン酸化膜22を充填させる。

【0033】

次に、この発明では、第2酸化膜形成工程として、トレンチ18の少なくとも第1コーナー部18cのシリコン基板10に対して熱酸化を行い、第2酸化膜24を形成する。

【0034】

図2(B)に示すように、例えば、1100℃でのドライ酸素による熱酸化法、すなわち高温ドライ酸化法を用いて、トレンチ18を形成するシリコン基板10の表面に対して酸化処理を行う。

【0035】

この酸化処理では、シリコン酸化膜22の上方側からシリコン基板10に酸素(O_2)が供給され、シリコン酸化膜22中に拡散される。そのため、拡散源に最も近い第1コーナー部18cで酸化反応が開始された後、第1コーナー部18

c から側壁部 1 8 b 及びシリコン酸化膜 1 2 に覆われたシリコン基板 1 0 の凸部 1 8 d に向かって酸化が序々に進行する。また、この構成例では、酸化反応が高温雰囲気下でゆっくりと進行するので、酸化膜の粘性流動が大きくなる。

【 0 0 3 6 】

こうして、主として第 1 コーナー部 1 8 c 付近には、第 2 酸化膜としてのシリコン酸化膜 2 4 が局所的に形成される。またこのとき、熱酸化膜であるシリコン酸化膜 2 4 の膜厚は、コーナー部から側壁部 1 8 b 及び凸部 1 8 d に向かって序々に薄くなっている。

【 0 0 3 7 】

その結果、第 1 コーナー部 1 8 c への膜ストレスの集中が効果的に抑制されるとともに、更に、トレンチ 1 8 のコーナー部には、丸められた新たな第 2 コーナー部 1 8 e が形成される。

【 0 0 3 8 】

次に、平坦化工程として、第 2 絶縁膜 1 4 の表面を露出させるように、第 3 絶縁膜 2 2 を研磨して平坦化する。

【 0 0 3 9 】

図 2 (C) に示すように、化学的機械研磨法 (CMP (Chemical Mechanical Polishing) 法) を用いて、シリコン窒化膜 1 4 上に堆積しているシリコン酸化膜 2 2 を研磨して、ストッパ膜であるシリコン窒化膜 1 4 の表面を露出させる。尚、この CMP 工程において、後工程 (図 3 参照) で素子分離部 2 6 及びシリコン基板 1 0 の表面高さが実質的に同じ、すなわち高低差 (段差) が無くなるようにシリコン酸化膜 2 2 の残膜厚を設定する。

【 0 0 4 0 】

次に、素子分離部形成工程として、第 1 絶縁膜 1 2 及び第 2 絶縁膜 1 4 を除去するとともに、第 3 絶縁膜 2 2 の一部がトレンチ 1 8 内に残存するように第 3 絶縁膜 2 2 をエッチングして素子分離部 2 6 を形成する。

【 0 0 4 1 】

図 3 に示すように、先ず、熱リン酸 (H_3PO_4) を用いて、シリコン窒化膜 1 4 をウェットエッチングにより除去する。熱リン酸に対するシリコン窒化膜 1 4

のエッチングレートはシリコン酸化膜 2 2 よりも著しく大きいので、シリコン窒化膜 1 4 が選択的に除去される。その後、フッ化水素 (H F) 水溶液 (フッ酸) を用いて、露出しているシリコン酸化膜 1 2 をウェットエッチングにより除去するとともに、トレンチ 1 8 内部以外のシリコン酸化膜 2 2 を除去する。

【 0 0 4 2 】

こうして、トレンチ 1 8 にシリコン酸化膜 2 2 が充填された、素子分離部 2 6 を形成することができる。

【 0 0 4 3 】

その後、例えば、トランジスタの形成予定領域にイオン注入を行いソース・ドレイン電極を形成した後、シリコン基板 1 0 上にゲート酸化膜及びゲート電極を順次形成して M O S F E T を形成する (不図示)。

【 0 0 4 4 】

上述したように、この実施の形態によれば、堆積工程の後に第 2 酸化工程を行っているので、少なくともトレンチのコーナー部のシリコン基板を、高温下でかつトレンチの充填材中を拡散する酸素により、局所的に酸化させることができる。

【 0 0 4 5 】

その結果、シリコン基板材料が酸化物に体積膨張する際のトレンチのコーナー部に集中する膜ストレスを従来よりも緩和でき、よって、コーナー部におけるシリコン基板を丸まった形状とすることができる。

【 0 0 4 6 】

よって、トレンチのコーナー部への電界集中を抑制できるので、従来よりもオフリーク電流を低減することができる。

【 0 0 4 7 】

従って、高信頼性な素子分離が実現された半導体装置を得ることができる。

【 0 0 4 8 】

< 第 2 の実施の形態 >

図 4 を参照して、この発明の第 2 の実施の形態に係る半導体装置の製造方法につき説明する。

【 0 0 4 9 】

この実施の形態では、平坦化工程を第 2 酸化膜形成工程の前に行っている点が第 1 の実施の形態との主な相違点である。また、第 1 の実施の形態で既に説明した構成要素と同一の構成要素には同一の番号を付して示し、その具体的な説明を省略する（以下の各実施の形態についても同様）。

【 0 0 5 0 】

先ず、第 1 の実施の形態で説明した方法と同様の方法で、マスク形成工程から堆積工程までを行う（図 2（A）参照）。

【 0 0 5 1 】

その後、この構成例では、図 4（A）に示すように、第 1 の実施の形態で説明した方法と同様の方法によって平坦化工程を行う。

【 0 0 5 2 】

平坦化工程の後、図 4（B）に示すように、第 1 の実施の形態で説明した方法と同様の方法で第 2 酸化膜形成工程を行い、第 1 の実施の形態と実質的に同じ範囲に亘ってシリコン酸化膜 2 4 を形成する。

【 0 0 5 3 】

この構成例では、第 2 酸化膜形成工程の前に既に平坦化工程を行っているので、シリコン酸化膜 2 2 の上方側にある拡散源と第 1 コーナー部 1 8 c との距離が、第 1 の実施の形態よりも短くなっている。

【 0 0 5 4 】

その結果、第 2 酸化膜であるシリコン酸化膜 2 4 を形成するための熱酸化時間を、第 1 の実施の形態よりも短縮させることができる。

【 0 0 5 5 】

その後、第 1 の実施の形態で説明した方法と同様の方法で、素子分離膜形成工程を行う（図 3 参照）。

【 0 0 5 6 】

上述した説明から明らかなように、この実施の形態では、第 1 の実施の形態と同様の効果を得ることができる。

【 0 0 5 7 】

更に、この実施の形態では、第 2 酸化膜を形成するための熱酸化時間を第 1 の実施の形態よりも短縮できるので、半導体装置を第 1 の実施の形態よりも低コストで製造できる。

【 0 0 5 8 】

< 第 3 の実施の形態 >

図 5 を参照して、この発明の第 3 の実施の形態に係る半導体装置の製造方法につき説明する。

【 0 0 5 9 】

この実施の形態では、第 1 酸化膜形成工程を行わない点が第 1 の実施の形態との主な相違点である。

【 0 0 6 0 】

素子分離部を具える半導体装置のなかには、トレンチの底部及び側壁部上のすべての領域に熱酸化膜が形成されていなくても、所望の電気的特性を得ることができ実用に耐え得る製品もある。

【 0 0 6 1 】

そこで、先ず、第 1 の実施の形態で説明した方法と同様の方法で、マスク形成工程からトレンチ形成工程までを行う（図 1（B）参照）。

【 0 0 6 2 】

その後、図 5（A）に示すように、この構成例では、第 1 酸化膜形成工程を行わずに、第 1 の実施の形態で説明した方法と同様の方法で堆積工程を行う。

【 0 0 6 3 】

然る後、第 1 の実施の形態と同様の方法で、第 2 酸化膜形成工程から素子分離部形成工程までを行う。

【 0 0 6 4 】

この構成例の第 2 酸化膜形成工程では、図 5（B）に示すように、第 1 の実施の形態で既に説明したと同様に、シリコン酸化膜 2 2 の上方側からシリコン基板 1 0 に酸素が供給され、シリコン酸化膜 2 2 中に拡散される。そのため、拡散源に最も近い第 1 コーナー部 1 8 c から酸化反応が開始され、その後、第 1 コーナー部 1 8 c から側壁部 1 8 b 及び凸部 1 8 d に向かって酸化が序々に進行する。

【0065】

この構成例では、第1の実施の形態のように第1酸化膜形成工程を行っていないので、トレンチ18の内壁には第1酸化膜20は形成されていない。

【0066】

しかしながら、この第2酸化膜形成工程によって、トレンチのコーナー部から側壁部18bのシリコン基板10上の第1の実施の形態よりも広範に亘って、熱酸化膜であるシリコン酸化膜24が形成される。また、このときシリコン酸化膜24の膜厚は、コーナー部から側壁部18b及び凸部18dに向かって序々に薄くなっている。

【0067】

こうして、この構成例の第2酸化膜形成工程では、酸化時間を任意好適に設定することによって、トレンチの側壁部18bの酸化を兼用することができる。

【0068】

その後、第1の実施の形態で説明した方法と同様の方法で、平坦化工程から素子分離部形成工程を行う（図5（C）参照）。

【0069】

上述した説明から明らかなように、この実施の形態では、第1の実施の形態と同様の効果を得ることができる。

【0070】

更に、この実施の形態では、トレンチのすべての内壁に熱酸化膜が形成されていなくても所望の電気的特性を得られる製品に対しては、第1酸化膜形成工程を省略することができる。

【0071】

よって、第1の実施の形態よりも製造工程数を減らすことができるので、半導体装置を第1の実施の形態よりも低コストで製造できる。

【0072】

<第4の実施の形態>

図6を参照して、この発明の第4の実施の形態に係る半導体装置の製造方法につき説明する。

【 0 0 7 3 】

この実施の形態では、平坦化工程を第 2 酸化膜形成工程の前に行っている点が第 3 の実施の形態との主な相違点である。

【 0 0 7 4 】

先ず、第 3 の実施の形態と同様に、マスク形成工程から堆積工程までを行う（図 5（A）参照）。

【 0 0 7 5 】

その後、この構成例では、図 6（A）に示すように、第 1 の実施の形態で説明した方法と同様の方法で、平坦化工程を行う。

【 0 0 7 6 】

その後、図 6（B）に示すように、第 1 の実施の形態で説明した方法と同様の方法で第 2 酸化膜形成工程を行い、第 3 の実施の形態と実質的に同じ範囲に亘ってシリコン酸化膜 2 4 を形成する。

【 0 0 7 7 】

この構成例では、第 2 酸化膜形成工程の前に既に平坦化工程を行っているので、拡散源と第 1 コーナー部 1 8 c との距離が第 3 の実施の形態よりも短くなっている。

【 0 0 7 8 】

その結果、シリコン酸化膜 2 4 を形成するための熱酸化時間を、第 3 の実施の形態よりも短縮させることができる。

【 0 0 7 9 】

その後、第 1 の実施の形態で説明した方法と同様の方法で、素子分離膜形成工程を行う（図 5（C）参照）。

【 0 0 8 0 】

上述した説明から明らかなように、この実施の形態では、第 3 の実施の形態と同様の効果を得ることができる。

【 0 0 8 1 】

更に、この実施の形態では、第 2 酸化膜を形成するための熱酸化時間を第 3 の実施の形態よりも短縮できるので、第 3 の実施の形態よりも半導体装置を一層低

コストで製造することができる。

【0082】

以上、この発明は、上述した実施の形態の組合せのみに限定されない。よって、任意好適な段階において好適な条件を組み合わせ、この発明を適用することができる。

【0083】

例えば、上述した各実施の形態では、基板上に形成されるMOSFET同士を分離する素子分離部の製造方法につき説明したがこれに限定されない。よって、任意好適な半導体素子同士を分離する素子分離部に対して、この発明を適用することができる。

【0084】

【発明の効果】

上述した説明から明らかなように、この発明によれば、トレンチのコーナー部の半導体基板を、高温下でかつトレンチの充填材である第3絶縁膜中に酸素を拡散させて酸化させることにより、当該コーナー部の半導体基板を丸まった形状とすることができる。

【0085】

従って、トレンチのコーナー部への電界集中を抑制できるので、従来よりもオフリーク電流を低減することができ、よって、高信頼性な素子分離が実現された半導体装置となる。

【図面の簡単な説明】

【図1】

(A)～(C)は、この発明の第1の実施の形態の半導体装置の製造工程の説明に供する概略断面図である。

【図2】

(A)～(C)は、この発明の第1の実施の形態の半導体装置の製造工程の説明に供する概略断面図である。

【図3】

この発明の第1の実施の形態の半導体装置の製造工程の説明に供する概略断面

図である。

【図 4】

(A) 及び (B) は、この発明の第 2 の実施の形態の半導体装置の製造工程の説明に供する概略断面図である。

【図 5】

(A) ～ (C) は、この発明の第 3 の実施の形態の半導体装置の製造工程の説明に供する概略断面図である。

【図 6】

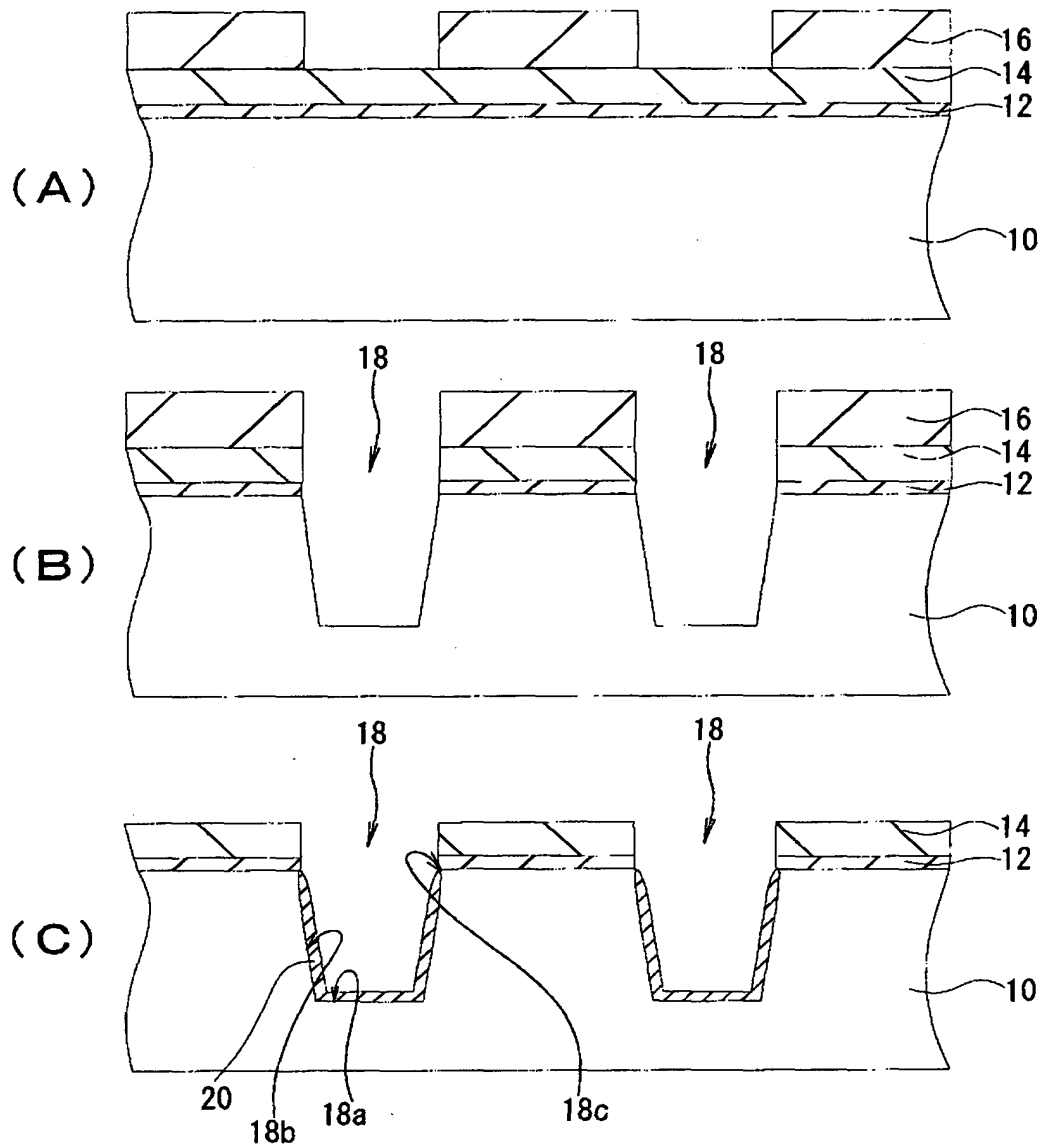
(A) 及び (B) は、この発明の第 4 の実施の形態の半導体装置の製造工程の説明に供する概略断面図である。

【符号の説明】

- 1 0 : シリコン基板 (半導体基板)
- 1 2 : シリコン酸化膜 (第 1 絶縁膜)
- 1 4 : シリコン窒化膜 (第 2 絶縁膜)
- 1 6 : トレンチ形成用マスク
- 1 8 : トレンチ
- 1 8 a : 底部
- 1 8 b : 側壁部
- 1 8 c : 第 1 コーナー部 (コーナー部)
- 1 8 d : 凸部
- 1 8 e : 第 2 コーナー部
- 2 0 : シリコン酸化膜 (第 1 酸化膜)
- 2 2 : シリコン酸化膜 (第 3 絶縁膜)
- 2 4 : シリコン酸化膜 (第 2 酸化膜)
- 2 6 : 素子分離部

【書類名】 図面

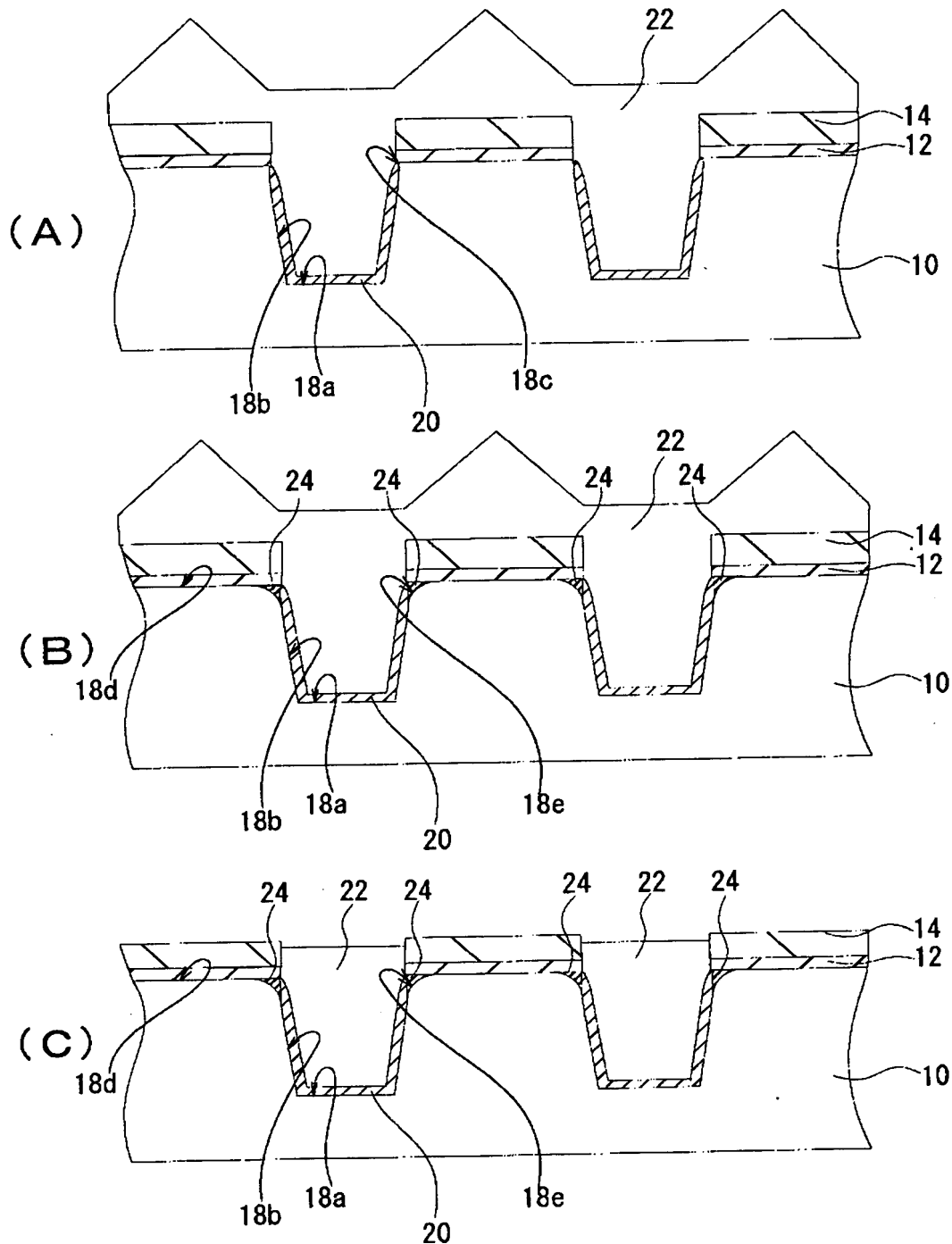
【図 1】



10: シリコン基板 (半導体基板) 12: シリコン酸化膜 (第 1 絶縁膜)
 14: シリコン窒化膜 (第 2 絶縁膜) 16: トレンチ形成用マスク
 18: トレンチ 18a: 底部 18b: 側壁部 18c: 第 1 コーナー部 (コーナー部)
 20: シリコン酸化膜 (第 1 酸化膜)

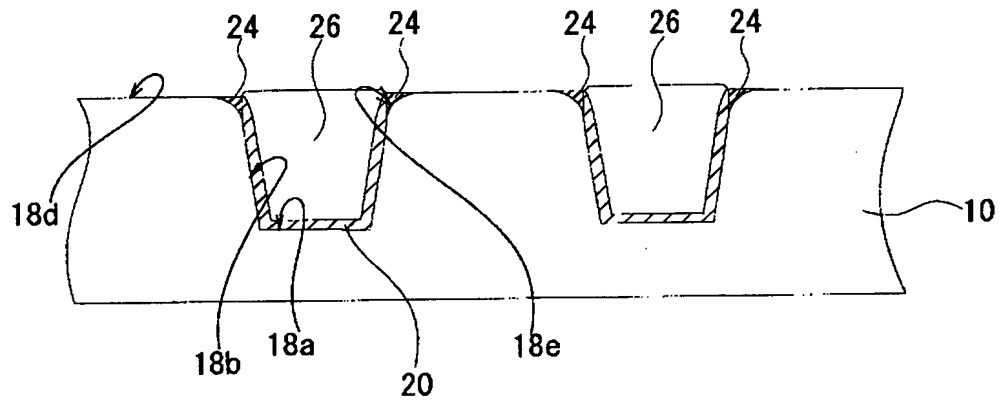
この発明の第 1 の実施の形態の半導体装置の製造工程

【図 2】



この発明の第1の実施の形態の半導体装置の製造工程

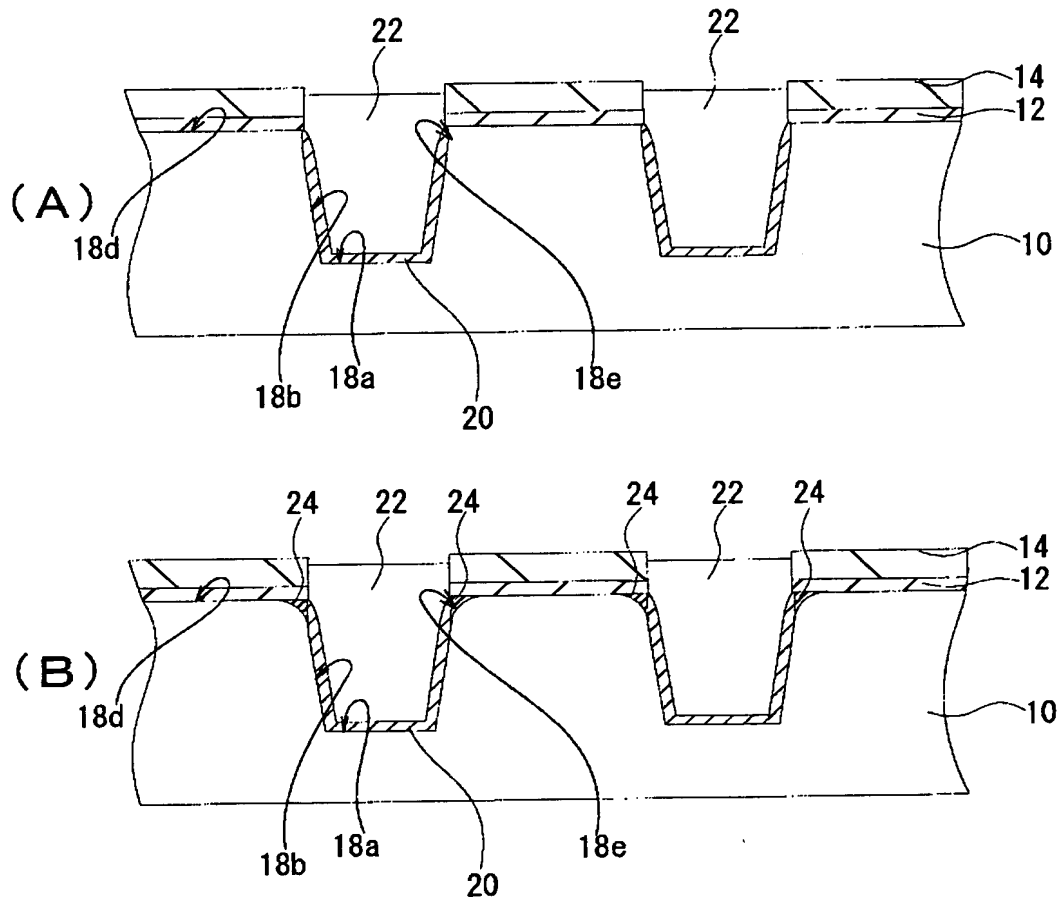
【図 3】



26: 素子分離部

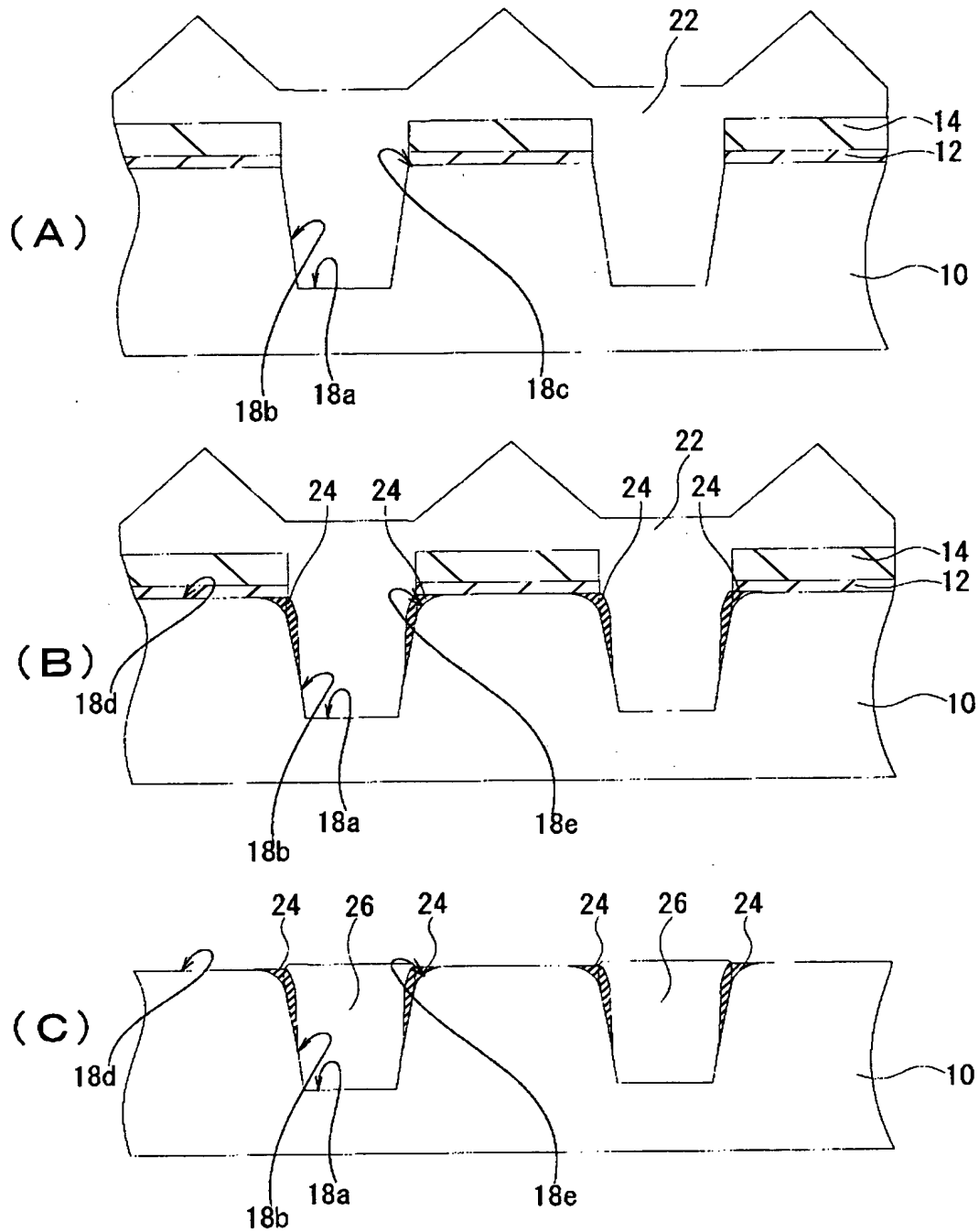
この発明の第 1 の実施の形態の半導体装置の製造工程

【図 4】



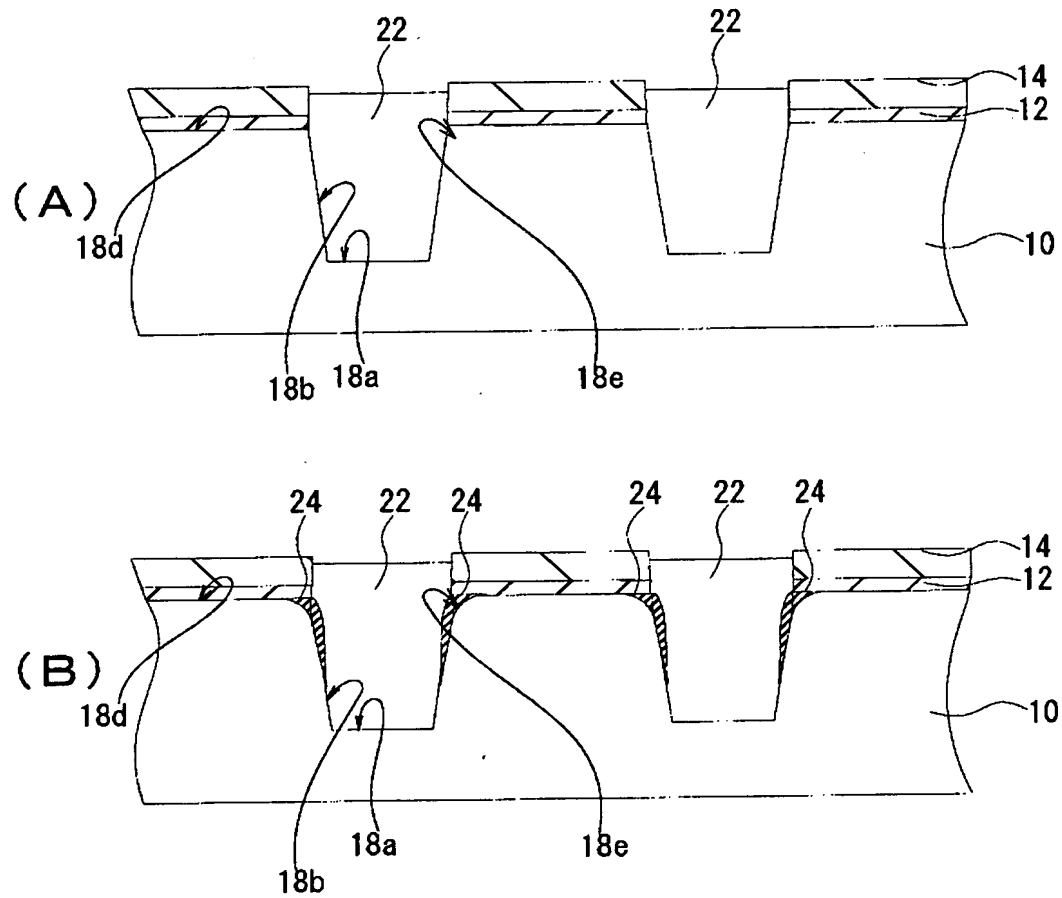
この発明の第 2 の実施の形態の半導体装置の製造工程

【図 5】



この発明の第3の実施の形態の半導体装置の製造工程

【図 6】



この発明の第 4 の実施の形態の半導体装置の製造工程

【書類名】 要約書

【要約】

【課題】 寄生トランジスタの発生を抑制することにより、オフリーク電流の増大を防止して半導体装置の信頼性を高める。

【解決手段】 シリコン基板 1 0 に形成されたトレンチ内を充填するようにかつシリコン窒化膜 1 4 が覆われる高さとなるようにシリコン酸化膜 2 2 を堆積させた後、トレンチの第 1 コーナー部 1 8 c のシリコン基板に対して熱酸化を行って、当該コーナー部上にシリコン酸化膜 2 4 を形成するとともに、丸められた新たな第 2 コーナー部 1 8 e を形成する。

【選択図】 図 2

特 2 0 0 2 - 3 1 4 0 5 2

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 3 1 4 0 5 2
受付番号	5 0 2 0 1 6 3 0 3 2 5
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 4 年 1 0 月 3 0 日

<認定情報・付加情報>

【提出日】 平成14年10月29日

次頁無

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 0 2 9 5]

1. 変更年月日	1 9 9 0 年 8 月 2 2 日
[変更理由]	新規登録
住 所	東京都港区虎ノ門1丁目7番12号
氏 名	沖電気工業株式会社

出 願 人 履 歴 情 報

識別番号 [5 9 1 0 4 8 1 6 2]

1. 変更年月日	2 0 0 2 年 7 月 4 日
[変更理由]	住所変更
住 所	宮城県黒川郡大衡村沖の平 1 番
氏 名	宮城沖電気株式会社